



#4/100
Brow
5/2/02

Envelopet No.: MUH-12050

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: March 7, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Michael Jacob et al.
Appl. No. : 10/053,970
Filed : January 22, 2002
Title : Test Circuit for an Analog Measurement of Bit Line Signals of
Ferroelectric Memory Cells

CLAIM FOR PRIORITY

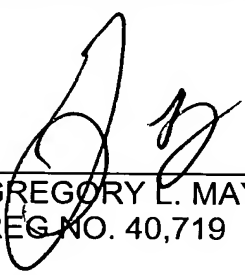
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 02 432.0 filed January 19, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG NO. 40,719

Date: March 7, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 02 432.0

Anmeldetag: 19. Januar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Testschaltung zur analogen Messung von Bitleitungssignalen ferroelektrischer Speicherzellen

IPC: G 11 C 11/22

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Januar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Nietiedt

MÜLLER & HOFFMANN - PATENTANWÄLTE

European Patent Attorneys - European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 10.773
Anmelderzeichen: 2000 21570
(2000 E 21562 DE)

Ko/bx
19.01.2001

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Testschaltung zur analogen Messung von Bitleitungssignalen
ferroelektrischer Speicherzellen**

Beschreibung

Testschaltung zur analogen Messung von Bitleitungssignalen
ferroelektrischer Speicherzellen

5

Integrierte ferroelektrische Halbleiterspeicherschaltungen (FeRAMs) können ähnlich aufgebaut sein wie herkömmliche dynamische Speicher (DRAMs), unterscheiden sich aber von diesen durch die Nichtflüchtigkeit des Speicherinhaltes und durch anders geartete Alterungserscheinungen. Tests der Nichtflüchtigkeit (Retention) und der Alterung (z.B. Fatigue, Imprint, Disturb, ...) erfordern deshalb im Vergleich zu DRAM-Tests neue Methoden. Typische DRAM-Tests beinhalten eine digitale Bewertung des Speicherinhaltes. Vorteilhaft für die statistische Auswertung und Extrapolation der Abnahme des Speicherinhaltes durch Stress (zum Beispiel bei elektrischer oder mechanischer Belastung, Lagerung, Temperaturbehandlung, Bestrahlung, chemischen Reaktionen, ...) ist jedoch eine analoge Bewertung des Speicherinhaltes durch die Messung analoger Werte des gespeicherten Potenzials. D.h., durch die analoge Messung von Bitleitungssignalen können schon geringfügige stressbedingte Änderungen des in der Zelle gespeicherten Potenzials sichtbar gemacht werden. Daraus ergibt sich eine wesentlich genauere Kenntnis des Stresseinflusses auf die Zuverlässigkeit.

25

Bei in Entwicklung befindlichen ferroelektrischen Speicherbausteinen ging man bisher den Weg mittels eines speziellen Testmodus indirekt eine analoge Bewertung des in der Speicherzelle gespeicherten Potenzials durchzuführen. Wie bei einem DRAM wurden hier mit einem üblichen Leseverstärker das zu bewertende Bitleitungssignal mit einem Referenzsignal auf einer Referenzbitleitung verglichen. Das Potenzial des Referenzsignals konnte extern eingestellt werden. Durch sukzessive Veränderung der extern einstellbaren Referenzspannung und einen Vergleich der beiden Bitleitungssignale mit Hilfe des

30

35

Leseverstärkers konnte eine quasi analoge Information gewonnen werden. Allerdings konnten mit dieser Testmethode die meisten Stressarten nicht quantitativ bewertet werden, da bereits nach der ersten der vielen notwendigen Bewertungszyklen
5 infolge des zerstörenden Lesevorgangs eines FeRAMs die Information über den Stresseinfluss verlorengeht.

Bei einem Test üblicher DRAMs gewonnene analoge Information hat einen wesentlich geringeren Informationsgehalt im Vergleich mit einem bei einem FeRAM durchzuführenden Stresstest.
10

Es ist somit Aufgabe der Erfindung, eine kostengünstige Testschaltung zur analogen Messung von Bitleitungssignalen ferroelektrischer Speicherzellen anzugeben, mit deren Hilfe der
15 Inhalt ferroelektrischer Speicherzellen über die Potenziale auf den Bitleitungen quantitativ ausgelesen werden kann und die eine sichere und zeitsparende Bewertung aller Stresseinflüsse gestattet.

20 Die Erfindung besteht darin, eine analoge Schaltung in den ferroelektrischen Speicherbaustein zu integrieren, die in einem Testmodus bei nicht aktivierten oder abgetrennten Leseverstärkern zur analogen Ausgabe von Bitleitungssignalen aus dem Speicherbaustein nach außen eingerichtet ist. So können
25 zum Beispiel von einem oder mehreren Testpads der Testschaltung Analogsignale abgegriffen und einem nachgeschalteten mit dem Testpad verbundenen Messgerät zur Bewertung zugeführt werden. Das am Testpad abzugreifende Ausgabesignal sollte eine eindeutige Funktion des Bitleitungssignals darstellen. Zum
30 Beispiel können ein oder mehrere Analogverstärker verwendet werden, um Messsignale mit hoher Auflösung auszugeben. Bei einer Ausführungsform kann für jede Bitleitung ein separater Analogverstärker, oder alternativ zum Beispiel mit Hilfe einer Schalteinrichtung ein Analogverstärker für mehrere Bit-
35 leitungen benutzt werden. Im Testmodus sind die Leseverstärker, die im normalen Betrieb verwendet werden, entweder nicht

aktiviert oder durch Schaltelemente von den Bitleitungen elektrisch getrennt.

Die vorgeschlagene Testschaltung kann bei einem CMOS-Grund-
5 prozess ohne zusätzliche Prozessschritte gleichzeitig mit der Schaltung des Speicherbausteins hergestellt werden.

Die erfindungsgemäß vorgeschlagene Testschaltung hat insbesondere folgende Vorteile:

- 10 - geringerer Testaufwand, kürzere Testzeit, geringerer Datenverarbeitungs-
aufwand;
- Einzelzellenbewertung mit geringem Aufwand möglich;
- vollständige analoge Information zum Beispiel auch über Retention möglich (im Gegensatz zur bisherigen Lösung);
- 15 - höhere Auflösung und
- direkte Informationsausgabe ohne Informationsverlust zum Beispiel durch Schwankungen der Leseverstärker.

Die obigen und weitere Merkmale und Vorteile einer erfindungsgemäßen Testschaltung werden in der nachstehenden Beschreibung noch deutlicher, wenn diese bezogen auf die beiliegende Zeichnung gelesen wird.

Die einzige Figur 1 zeigt schematisch ein Ausführungsbeispiel
25 einer erfindungsgemäßen Testschaltung und Modifikationen derselben in Kombination mit einem schematisch und abschnittsweise dargestellten ferroelektrischen Speicherbaustein.

Die mit einer gestrichelten Linie umrahmte Testschaltung 1
30 ist eingangsseitig mit Bitleitungen BL_0 , \overline{BL}_0 , ..., BL_1 , \overline{BL}_1 , ..., BL_n und \overline{BL}_n verbunden. Diese Bitleitungen stehen im Normalbetrieb mit Leseverstärkern LV_0 , LV_1 , ..., LV_n der ferroelektrischen Speicheranordnung in Verbindung. Mehrere Speicherzellen Z sind durch große ausgefüllte Punkte an den Kreuzungspunkten der Bitleitungen mit Wortleitungen WL_0 , WL_1 ,
35 WL_2 , WL_3 angedeutet.

Zur quantitativen Bewertung des Inhalts der Speicherzellen Z der ferroelektrischen Speicheranordnung führt die erfindungsgemäße Testschaltung 1 einen analogen Wert des Speicherinhaltes über einen Testpad P nach außen. Auf diese Weise lässt sich vorteilhaft eine statistische Auswertung und eine Extrapolation der Änderung des Speicherinhalts durch Stress durchführen, wie er durch eine elektrische oder mechanische Belastung, Lagerung, Temperaturbehandlung, Bestrahlung oder durch chemische Reaktionen in dem ferroelektrischen Speicherbaustein entsteht. Mit Hilfe der von der erfindungsgemäßen Testschaltung 1 gemessenen analogen Werte des Speicherinhalts, d.h. Potenziale der Bitleitungssignale, können schon geringfügige stressbedingte Veränderungen erfasst werden, wodurch sich die Einflüsse des Stresses auf die Zuverlässigkeit genau auswerten lassen. Zu diesem Zweck sieht die erfindungsgemäße Testschaltung 1 eine in dem ferroelektrischen Speicherbaustein integrierte analoge Schaltung vor, die im dargestellten Ausführungsbeispiel je einen Analogverstärker A01, A02, A11, A12, ..., An1 und An2 pro angeschlossener Bitleitung BL, eine erste Schalteinrichtung S1 und eine zweite Schalteinrichtung S2 aufweist. Die an der Testschaltung 1 angeschlossenen Bitleitungen BL sind über die erste Schalteinrichtung S1 an die Eingänge der jeweiligen Analogverstärker schaltbar, und die Ausgänge der Analogverstärker sind über die zweite Schalteinrichtung S2 einem Testpad P zuführbar. Die erste Schalteinrichtung S1 kann zum Beispiel einzelne Transistorschalter aufweisen, während die zweite Schalteinrichtung S2 zum Beispiel ein Decoder sein kann. Mit dem Testpad P ist ein Eingang eines Messgeräts M verbindbar.

Das Messgerät M gibt ein Testmodesignal TM über eine strichpunktiert dargestellte Leitung aus, mit dem während des Testmodus die im normalen Betrieb mit den Speicherzellen Z bzw. den Bitleitungen BL in Verbindung stehenden Leseverstärker LV0, LV1, ..., LVn deaktiviert oder durch (nicht dargestell-

te) weitere Schaltelemente von den Bitleitungen elektrisch getrennt werden. Das von dem Testgerät M übertragene Testmodussignal TM aktiviert auch eine (nicht dargestellte) Schaltersteuerung, die die Schalter der ersten Schalteinrichtung S1 und der zweiten Schalteinrichtung S2 gezielt oder in einem wählbaren Zyklus steuert.

In Fig. 1 sind zwei Alternativen der erfindungsgemäßen Testschaltung 1 angedeutet. Es kann entweder für jede Bitleitung BL ein Analogverstärker eingesetzt sein, oder es können mit Hilfe entsprechender Schaltelemente mehrere Bitleitungssignale Eingängen eines gemeinsamen Analogverstärkers A01, A02 zugeführt werden, wie durch strichpunktierte Leitungen l1, l2 angedeutet ist.

Die in der erfindungsgemäßen Testschaltung 1 verwendeten Analogverstärker und natürlich auch die für die erste und zweite Schalteinrichtung S1 und S2 verwendeten Schaltelemente sind so eingerichtet, dass das Messgerät M am Testpad P eine eindeutige Funktion der Bitleitungssignale abgreifen kann. Die auf den Bitleitungen BL_0 , $\overline{BL_0}$, ..., BL_1 , $\overline{BL_1}$, ..., BL_n und $\overline{BL_n}$ vorhandenen analogen Werte des Speicherinhalts stellen somit jeweils eine vom Messgerät M messbare eindeutige Information für die Inhalte der jeweils angesprochenen Zellen dar, so dass das Messgerät M schon geringfügige, zum Beispiel durch Stress verursachte Veränderungen des Speicherinhalts aufgrund des am Testpad P abgreifbaren Analogsignals messen kann.

Den einschlägigen Fachleuten ist ohne weiteres ersichtlich, dass das in Fig. 1 ersichtliche Ausführungsbeispiel der erfindungsgemäßen Testschaltung lediglich ein Prinzipschaltbild darstellt, und dass bekannte Bewertungseinrichtungen und Algorithmen zur Bewertung der stressbedingten Veränderung der Bitleitungssignale, die im Messgerät M residieren, nicht dargestellt sind. Statt eines Testpads P können auch mehrere

Testpads vorgesehen sein, auf die die Analogsignale von durch die erste und zweite Schalteinrichtung und entsprechende Analogverstärker gruppenweise zusammengefassten Bitleitungen geführt sind.

5

Die erfindungsgemäß vorgeschlagene und durch die beschriebene Testschaltung 1 ermöglichte analoge Erfassung des Speicherinhalts aufgrund der dem Testpad P zugeführten Analogsignale bewirkt insbesondere:

- 10 - einen geringeren Testaufwand, eine kürzere Testzeit und einen geringeren Datenverarbeitungsaufwand,
- eine Bewertung einzelner Speicherzellen mit geringem Aufwand,
- eine vollständige analoge Informationsauswertung des Speicherinhalts, zum Beispiel auch durch Retention bewirkter
15 Veränderungen desselben,
- eine höhere Auflösung und
- eine direkte Informationserfassung ohne Informationsverlust zum Beispiel durch Schwankungen der Leseverstärker.

20

Patentansprüche

1. Testschaltung in Kombination mit einem ferroelektrischen Speicherbaustein,

5 d a d u r c h g e k e n n z e i c h n e t ,
dass zur analogen Messung von Bitleitungssignalen ferroelektrischer Speicherzellen in einem Testmodus analoge Werte des jeweiligen Speicherinhalts der Zellen auslesbar und einer anschließbaren Bewertungseinrichtung zuführbar sind, und
10 die Testschaltung als eine analoge Schaltung (1) im ferroelektrischen Speicherbaustein integriert und im Testmodus bei nicht aktivierten oder abgetrennten Leseverstärkern (LV0, LV1, ..., LVn) zur analogen Ausgabe von Bitleitungssignalen aus dem Speicherbaustein nach außen eingerichtet ist.

15

2. Testschaltung nach Anspruch 1,

 d a d u r c h g e k e n n z e i c h n e t ,
dass die analoge Schaltung (1) je einen Analogverstärker (A01, A02, ..., An1, An2 pro Bitleitung (BL0, $\overline{BL0}$, ..., BLn,
20 \overline{BLn}) aufweist, der eingangsseitig mit einer zugehörigen Bitleitung verbunden ist.

3. Testschaltung nach Anspruch 1,

 d a d u r c h g e k e n n z e i c h n e t ,
25 dass die analoge Schaltung (1) einen Analogverstärker (A01) für mehrere Bitleitungen und eine erste Schalteinrichtung (S1) aufweist, mit der Analogsignale von mehreren Bitleitungen (BL0, ..., BLn) sukzessive auf einen Eingang des einen Analogverstärkers (A01) schaltbar sind.

30

4. Testschaltung nach einem der Ansprüche 1 bis 3,

 d a d u r c h g e k e n n z e i c h n e t ,
dass ein Ausgang der analogen Schaltung (1) bzw. der Ausgang bzw. die Ausgänge des oder der Analogverstärker (A01, ...,
35 An1, An2) zu einem Testpad (P) des Speicherbausteins geführt ist bzw. sind.

5. Testschaltung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
dass eine zweite Schalteinrichtung (S2) am Ausgang der analo-
gen Schaltung (1) bzw. des oder der Analogverstärker (A01,
A02, ..., An1, An2) vorgesehen ist, mit der das analoge Aus-
gangssignal von diesem Ausgang bzw. diesen Ausgängen auf ei-
nen Ausgangsanschluss oder Testpad (P) der Testschaltung
schaltbar ist.

10

6. Testschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass die analoge Schaltung (1) bzw. der oder die Analogver-
stärker (A01, A02, ..., An1, An2) so eingerichtet ist bzw.
sind, dass die auszugebenden Bitleitungssignale mit hoher
Auflösung und ohne Beeinflussung der Bitleitungspotenziale am
Ausgangsanschluss oder Testpad (P) ausgebbar sind.

20

7. Testschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass sie im ferroelektrischen Speicherbaustein in einem CMOS-
Grundprozess gleichzeitig mit der Schaltung des Speicherbau-
steins hergestellt ist.

25

8. Ferroelektrischer Speicherbaustein
gekennzeichnet durch
eine Testschaltung nach einem der Ansprüche 1 bis 7.

Zusammenfassung

Testschaltung zur analogen Messung von Bitleitungssignalen
ferroelektrischer Speicherzellen

5

Die Erfindung betrifft eine Testschaltung in Kombination mit einem ferroelektrischen Speicherbaustein zur analogen Messung von Bitleitungssignalen ferroelektrischer Speicherzellen, mit der in einem Testmodus analoge Werte für den jeweiligen Speicherinhalt der Zellen auslesbar und einer anschließenden Bewertungseinrichtung zuführbar sind, wobei die Testschaltung als eine analoge Schaltung (1) im ferroelektrischen Speicherbaustein integriert und im Testmodus bei nicht aktivierten oder abgetrennten Leseverstärkern (LV0, LV1, ..., LVn) zur analogen Ausgabe von Bitleitungssignalen aus dem Speicherbaustein nach außen eingerichtet ist.

10

15

(Fig. 1)

Bezugszeichenliste

A01, A02, A11, A12, ..., An1, An2	Analogverstärker
BL0, $\overline{BL0}$, ..., BL1, $\overline{BL1}$, ..., BLn, \overline{BLn}	Bitleitungen
LV0, LV1, ..., LVn	Leseverstärker
L1, L2	Vielfachleitung
M	Messgerät
P	Testpad
S1	erste Schalteinrichtung
S2	zweite Schalteinrichtung
TM	Testmodussignal
WL0, WL1, WL2, WL3	Wortleitung
Z	Speicherzelle

Fig. 1

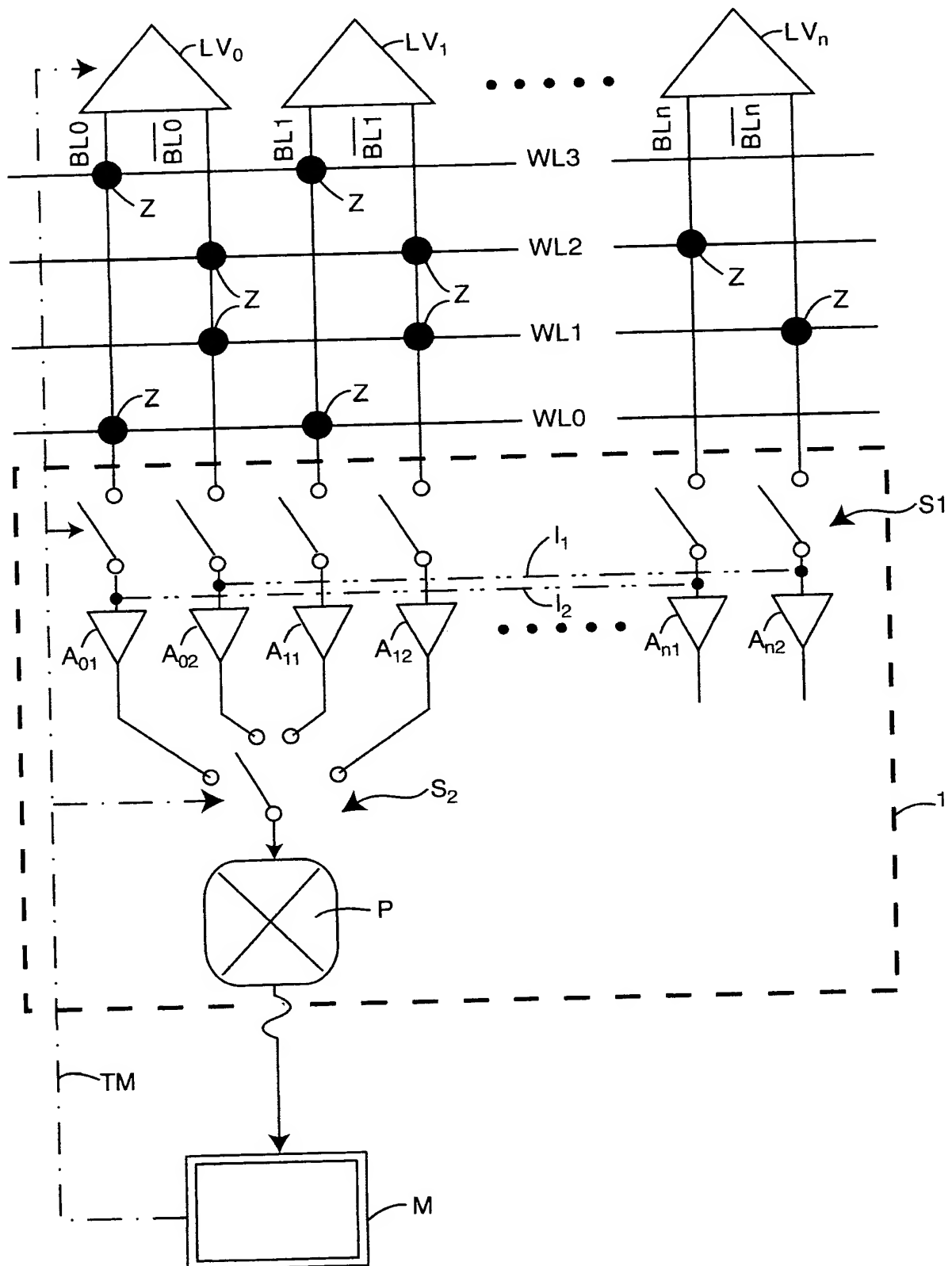


Fig. 1

